



UNIVERSITÀ DEGLI STUDI DELL'AQUILA

CORSI DI INGEGNERIA

A.A. 2017/2018

Elettronica dei Sistemi Digitali I (I4E, I4T, I4I, I4L)

- De Marcellis Andrea - Faccio Marco -

(Aggiornato il 3-10-2018)

Contenuti del corso (abstract del programma):

Introduzione ai Sistemi Digitali. Teoria e realizzabilità. Logiche Hardware e Logiche Programmate. Modelli generali per i Sistemi Digitali e Automi. Richiami sui sistemi combinatori. La porta logica come sistema, combinazioni strutturare di porte. I sistemi sequenziali: blocchi base ed esempi applicativi di semplici sistemi sequenziali. Macchine e Stati Finiti. Metodi formali per la descrizione e la sintesi di MSF. Esempi di progettazione e realizzazione di sistemi digitali con la tecnica ASM. I dispositivi aritmetici e sintesi delle MSF di controllo. Esempi di progettazione di core di operazioni e delle relative MSF di attuazione e controllo. Dalla logica HW alla logica programmata; strutturazione concettuale; l'Automa Esecutore General Purpose; Architetture di Elaborazione GP: vonNeumann and Harvard. Cenni al flusso di sviluppo di un progetto in logica programmata.

Programma esteso:

Introduzione ai Sistemi Digitali, segnali e sistemi. Quadro delle realizzabilità. Logiche Hardware dirette e Logiche Programmate. Modelli generali per i Sistemi Digitali, l'Automa. Richiami sui sistemi combinatori: Algebra booleana, funzioni di commutazione, loro sintesi e realizzazione; la porta logica come sistema, comportamento dinamico, combinazioni strutturare di porte e determinazione dei tempi di risposta, alee, realizzazioni in logiche SSI. Sistemi combinatori in MSI (codificatori, decodificatori, mux, demux, comparatori..). I sistemi sequenziali: blocchi base (FF tipo SR, SRE, JK, D, T) ed esempi costitutivi e applicativi di semplici sistemi sequenziali. Sistemi sequenziali asincroni e sincroni. Macchine a Stati Finiti, modello di Moore e sue composizioni. Metodi formali per la descrizione e la sintesi di MSF. Cenni di realizzazione fisica di MSF con sistemi HW ad alto grado di integrazione: PLD e FPGA. Esempi di progettazione e realizzazione di sistemi digitali con la tecnica ASM e (VHDL): Shift register, sequenziatori, contatori. I dispositivi aritmetici: varie architetture per Sommatore, Sottrattori, ALU, Moltiplicatori, divisori. Discussione sulle prestazioni temporali e sull'area equivalente'. Descrizione e sintesi delle MSF di controllo delle singole operazioni aritmetiche. Esempi di progettazione di core di operazioni e delle MSF di attuazione e controllo. - Dalla logica HW diretta alla logica programmata; 'Automa Esecutore General Purpose'; Architetture di Elaborazione GP: vonNeumann and Harvard. Esempi ed esercizi di logiche 'selezionabili' e costituzione di un automa Esecutore GP. Tempi di risposta. Microprocessori, Microcontrollori e Digital Signal Processor. Cenni al flusso di sviluppo di un progetto in logica programmata e ai suoi ingredienti necessari.

Modalità d'esame:

Esame orale con due domande comuni in forma scritta e discussione; in alternativa: 2 parziali nel semestre riservato agli studenti che seguono il corso.

Risultati d'apprendimento previsti:

Conoscenza articolata dei fondamenti teorici della manipolazione di segnali in forma numerica e suo inquadramento in termini di realizzabilità dei sistemi numerici; conoscenza funzionale dei blocchi base e del loro comportamento temporale; capacità di aggregare strutture di base per ottenere funzioni più complesse; acquisizione e pratica su semplici ma significativi esempi, di metodologie per affrontare il problema della descrizione e sintesi dei sistemi numerici di base in proiezione verso sistemi complessi ottenuti per aggregazioni di sistemi numerici semplici; intercambiabilità di approccio top-down e bottom-up.

Testi di riferimento:

Raccolta di lucidi delle lezioni del Docente disponibili su ELearning@AQ, coprono tutto il corso

J.D. Daniels: Digital Design from Zero to One , J. Wiley

M.M. Mano ? C.K. Kime: Logic and Computer Design Fundamentals ? Prentice Hall (esiste anche una versione in italiano, stesso editore, titolo Reti logiche)